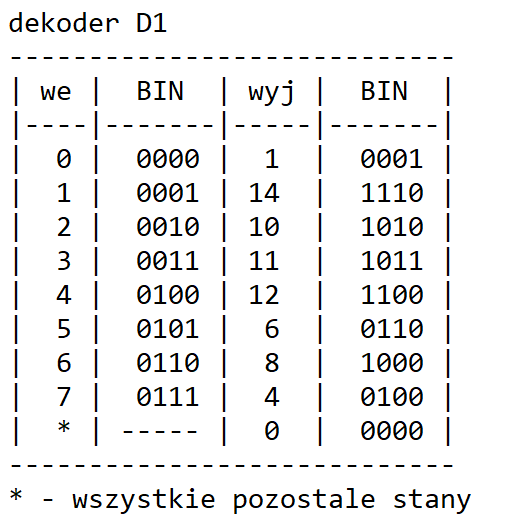
|  |  |  |
| --- | --- | --- |
| L a b o r a t o r i u m E l e k t r o n i k i C y f r o w e j | | |
| Ćwiczenie nr: **1**  Temat zajęć: **Bramki** | | Data wykonania:  **16.03.2018**  Data uruchomienia: **22.03.2018** |
| Kierunek/semestr: **AiR / 4** | Grupa: **CZW\_1145** |
| Wykonali: **Katarzyna Kowalska 132079, Eryk Miśkiewicz 132100** | |

1. ***Cel zadania / wymagania projektowe***

Przy pomocy bramek logicznych z biblioteki Xilinx Spartan zbudowaliśmy układ realizujący funkcję logiczną 4-zmiennych wg tablicy prawdy F1/4.

Tablica prawdy układu wg generatora zadań dla numeru indeksu 132100:



|  |  |
| --- | --- |
| wejście | wyjście |
|  |  |
| 0000 | 0001 |
| 0001 | 1110 |
| 0010 | 1010 |
| 0011 | 1011 |
| 0100 | 1100 |
| 0101 | 0110 |
| 0110 | 1000 |
| 0111 | 0100 |
| 1000 | 0000 |
| 1001 | 0000 |
| 1010 | 0000 |
| 1011 | 0000 |
| 1100 | 0000 |
| 1101 | 0000 |
| 1110 | 0000 |
| 1111 | 0000 |

1. ***Synteza układu / tablice Karnaugha dla realizowanej funkcji***

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 |
| 01 | 0 | 1 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 |

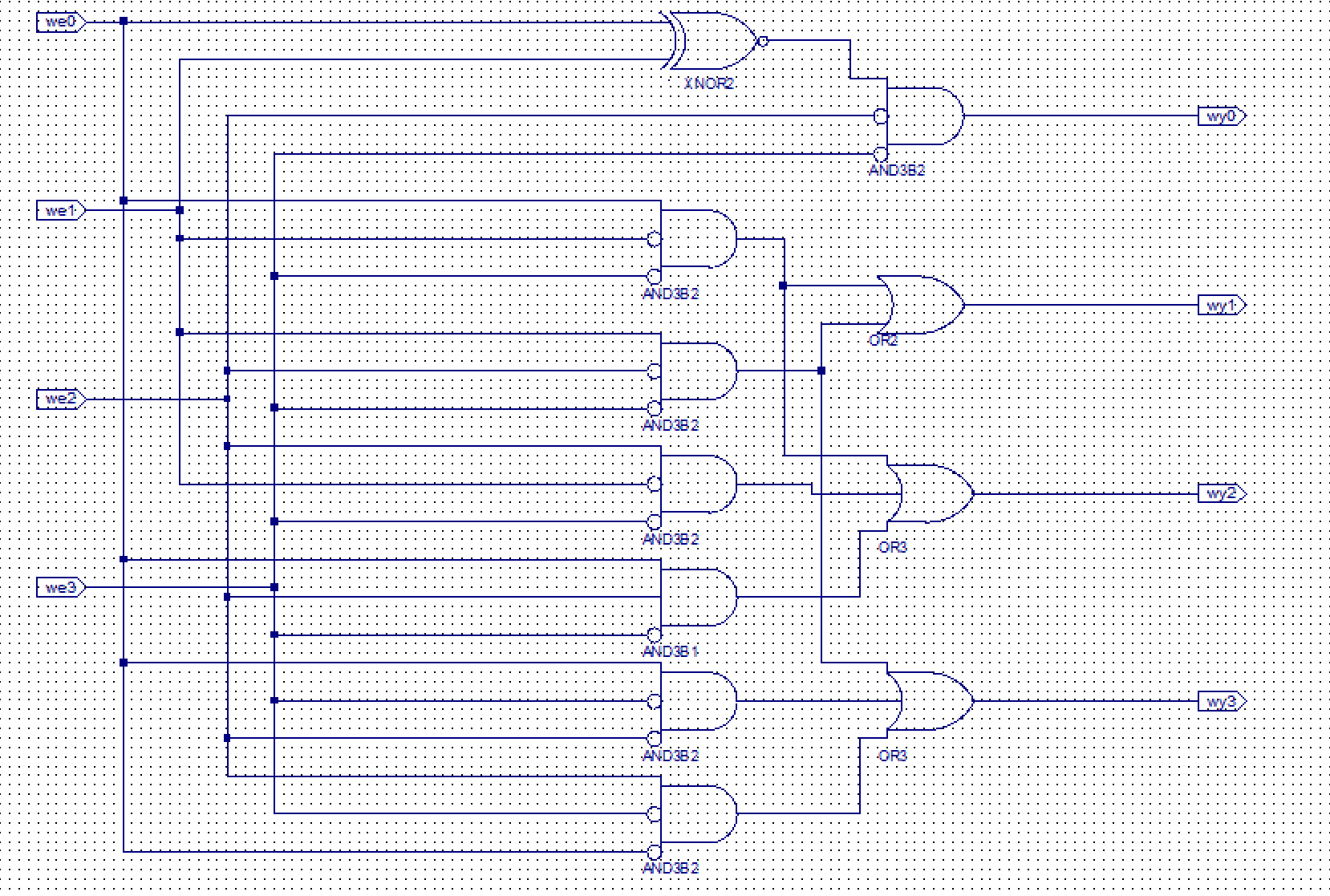


|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0 | 0 |
| 01 | 1 | 1 | 1 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 |

1. ***Realizacja przy pomocy bramek z biblioteki Xilinx Spartan3***

******

1. ***Weryfikacja poprawności projektu / wyniki symulacji***

* Wymuszenia zdefiniowano zgodnie z poniższym skryptem Tcl:

force We3 0 0ps, 1 80ps -repeat 160ps

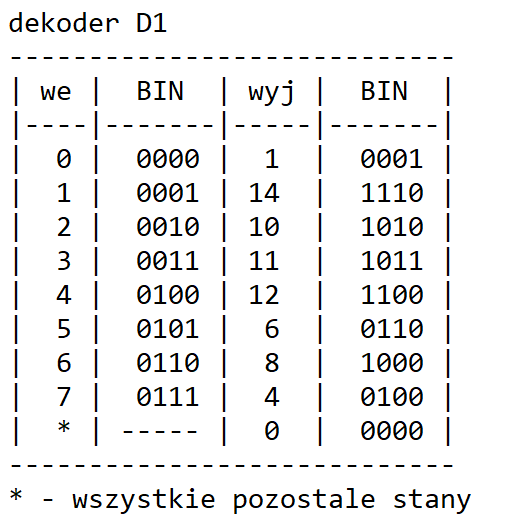
force We2 0 0ps, 1 40ps -repeat 80ps

force We1 0 0ps, 1 20ps -repeat 40ps

force We0 0 0ps, 1 10ps -repeat 20ps

run 160ps

* Tablica prawdy weryfikowanej funkcji:

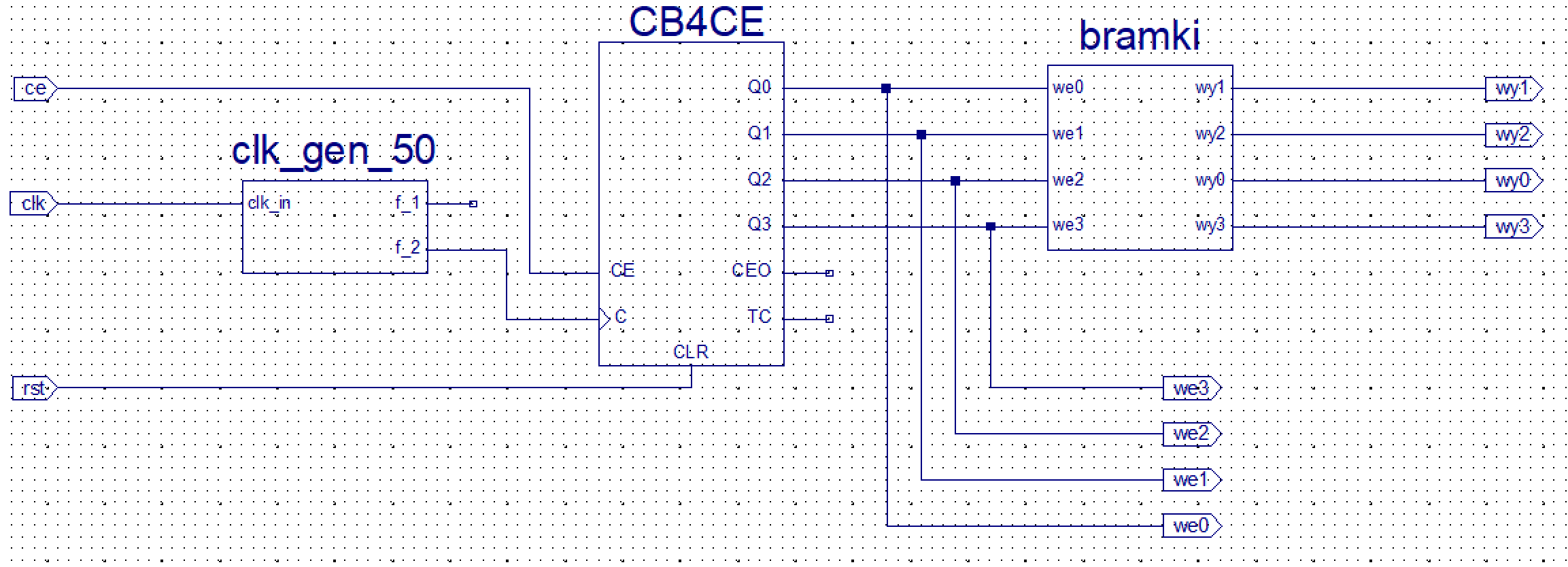


* Symulacja w programie ModelSim:



Wyniki symulacji behawioralnej potwierdzają poprawność wykonania modelu strukturalnego urządzenia. Pojawianie się na wyjściu stanu wysokiego jest zgodne z zawartością tablicy prawdy dla funkcji F1/4.

1. ***Implementacja / testowanie prototypu***



* Interfejs testowanego urządzenia (wg schematu):

|  |  |  |
| --- | --- | --- |
| Port urządzenia testowanego | Sygnał płyty prototypowej | Kanał analizatora stanów |
|  | Pmod JA1 | CH0 |
|  | Pmod JA2 | CH1 |
|  | Pmod JA3 | CH2 |
|  | Pmod JA4 | CH3 |
|  | Pmod JA7 | CH8 |
|  | Pmod JA8 | CH9 |
|  | Pmod JA9 | CH10 |
|  | Pmod JA10 | CH11 |
| CE | SW7 | - |
| RST | SW6 | - |
| CLK | Zegar 50MHz | - |

Testowanie polega na podaniu na wejścia A,B,C,D bloku f1\_4 sekwencji 4-bitowych w kodzie NKB  
i obserwacji zachowania układu przy pomocy analizatora stanów logicznych. Analizator podłączony do układu poprzez port Pmod\_JA. Procedura testowania wykorzystuje wewnętrzny licznik binarny   
4-bitowy (najstarszy bit licznika podany na wejście A urządzenia testowanego). Częstotliwość zegara licznika (wejście C dla CB4CE) wynosi ~1kHz.

* Pinout Report

